

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10285223 A

(43) Date of publication of application: 23.10.98

(51) Int. Cl      **H04L 13/08**  
**G06F 5/06**  
**H04L 12/40**

(21) Application number: 09083141  
(22) Date of filing: 01.04.97

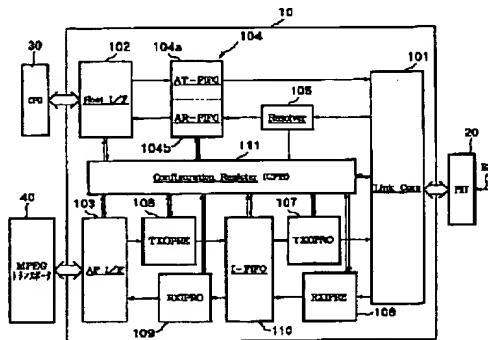
(71) Applicant: SONY CORP  
(72) Inventor: NAKAMURA RYUTA

## (54) SIGNAL PROCESSING CIRCUIT

## (57) Abstract:

PROBLEM TO BE SOLVED: To provide a signal processing circuit whose circuit scale is not increased where a capacity ratio of transmission/reception storage devices is optionally changed.

SOLUTION: An asynchronous communication use FIFO 104 consisting of a RAM is divided into a transmission FIFO 104a and a reception FIFO 104b. A CPU 30 controls the capacity ratio of the transmission FIFO 104a to the reception FIFO 104b to be 1:1 in the case of, e.g. conventional asynchronous communication and the capacity ratio of the transmission FIFO 104a to the reception FIFO 104b to be larger than 1:1 in the case of a special operation such as bus reset.



COPYRIGHT: (C)1998,JPO

**THIS PAGE BLANK**

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10-285223

(43) 公開日 平成 10 年 (1998) 10 月 23 日

(51) Int. Cl. <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
H04L 13/08		H04L 13/08		
G06F 5/06		G06F 5/06	C	
H04L 12/40		H04L 11/00	320	

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平 9-83141  
(22) 出願日 平成 9 年 (1997) 4 月 1 日

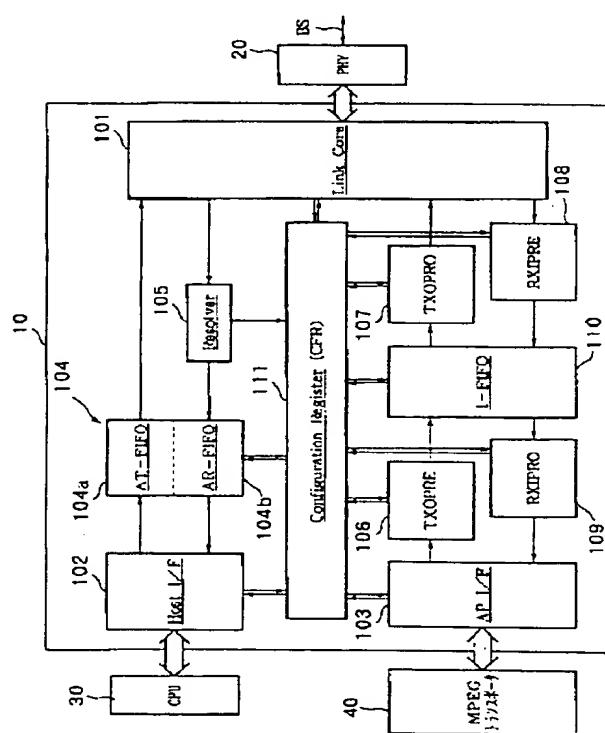
(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川 6 丁目 7 番 35 号  
(72) 発明者 中村 龍太  
東京都品川区北品川 6 丁目 7 番 35 号 ソ  
ニー株式会社内  
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】信号処理回路

(57) 【要約】

【課題】回路規模の増加を抑制でき、また、送受信用記憶装置のサイズの容量比を任意に変更することができる信号処理回路を提供する。

【解決手段】アシンクロナス通信用 FIFO 104 を、1 つの RAM から構成して、送信用 FIFO 104a と受信用 FIFO 140b の 2 つの領域に区分けし、送信用 FIFO 104a と受信用 FIFO 140b の容量比を CPU 30 により、たとえば通常のアシンクロナス通信時には送信用 FIFO 104a と受信用 FIFO 140b の容量比が 1 : 1 となるように制御し、特定動作時、たとえばバスリセット時には送信用 FIFO 104a と受信用 FIFO 140b の容量比が受信用 FIFO 140b 側が大きくなるように制御する。



## 【特許請求の範囲】

【請求項 1】 シリアルインターフェースバスとのデータの送信または受信を一旦記憶手段に格納して行う信号処理回路であって、

上記記憶手段は 1 つの記憶領域を持つ記憶装置からなり、所定の領域で、送信データ格納領域と受信データ格納領域とに区分けされている信号処理回路。

【請求項 2】 上記送信データ格納領域と受信データ格納領域との容量比を特定状況に応じて変更する手段を有する請求項 1 記載の信号処理回路。

【請求項 3】 上記特定状況は、シリアルインターフェースバスを伝送された各ノードの情報からなるセルフ I D パケットを受信するバスリセット時であり、

上記変更する手段は、上記受信データ格納領域が送信データ格納領域より大きくなるように容量比を設定する請求項 2 記載の信号処理回路。

【請求項 4】 シリアルインターフェースバスとで送受信されるデータはアシンクロナスパケットである請求項 1 記載の信号処理回路。

【請求項 5】 上記記憶装置は、FIFO メモリである請求項 1 記載の信号処理回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、シリアルインターフェースに用いられる信号処理回路に関するものである。

## 【0002】

【従来の技術】 近年、マルチメディア・データ転送のためのインターフェースとして、高速データ転送、リアルタイム転送を実現する IEEE (The Institute of Electrical and Electronic Engineers) 1394、High Performance Serial Bus が規格化された。

【0003】 この IEEE 1394 シリアルインターフェースのデータ転送には、従来の Request, Acknowledge の要求、受信確認を行うアシンクロナス (Asynchronous) 転送と、あるノードから  $1.25 \mu s$  に 1 回必ずデータが送られるアイソクロナス (Isochronous) 転送がある。

【0004】 このように、2 つの転送モードを有する IEEE 1394 シリアルインターフェースでのデータは、パケット単位で転送が行われる。

【0005】 図 5 は、アイソクロナス通信における 1 ソースパケットのバイトサイズを示す図である。図 5 (A) は DVB (Digital Video Broadcast) 仕様時、図 5 (B) は DSS (Digital Satellite System) 仕様時のパケットサイズを示している。

【0006】 DVB 仕様時のソースパケットサイズは、図 5 (A) に示すように、4 バイトのソースパケットヘッダ (S P H; Source Packet Header) と 188 バイトのデータの 192 バイトである。

【0007】 これに対して、DSS 仕様時のソースパケットサイズは、図 5 (B) に示すように、4 バイトのソースパケットヘッダ (S P H)、10 バイトの付加データ、および 130 バイトのデータの 144 バイトである。付加バイトはソースパケットヘッダとデータとの間に挿入される。なお、IEEE 1394 規格では、取り扱う最小データの単位は 1 クワドレット (quadlet) (= 4 バイト = 32 ビット) であるため、トランスポортストリームデータと付加データの合計が 32 ビット単位で構成できる設定であることが必要である。ただし、デフォルトでは付加バイトなしで設定される。

【0008】 図 6 は、IEEE 1394 規格のアイソクロナス通信でデータを送信させるときの元のデータと、実際に送信されるパケットとの対応関係の一例を示す図である。

【0009】 図 6 に示すように、元のデータであるソースパケットは、4 バイトのソースパケットヘッダと、データ長を調整するためのパディングデータを付加された後、所定の数のデータブロックに分割される。なお、パケットを転送するときのデータの単位が 1 クワドレット (4 バイト) であることから、データブロックや各種ヘッダなどのバイト長は、全て 4 の倍数に設定される。

【0010】 図 7 は、ソースパケットヘッダのフォーマットを示す図である。図 7 に示すように、ソースパケットヘッダのうち、25 ビットには、たとえば上述した DVB 方式等のデジタル衛星放送等で利用されている MPEG (Moving Picture Experts Group) - TS (Transport Stream) データをアイソクロナス通信で送信するときに、ジッタを抑制するために利用されるタイムスタンプ (TimeStamp) が書き込まれる。

【0011】 そして、このようなパケットヘッダや CIP (Common Isochronous Packet) ヘッダ等のデータが、所定の数のデータブロックに付加されることによりパケットが生成される。

【0012】 図 8 はアイソクロナス通信用パケットの基本構成例を示す図である。図 8 に示すように、アイソクロナス通信のパケットは、第 1 クワドレットが 1394 ヘッダ (Header)、第 2 クワドレットがヘッダ CRC (Header-CRC)、第 3 クワドレットが CIP ヘッダ 1 (CIP-Header1)、第 4 クワドレットが CIP ヘッダ 2 (CIP-Header2)、第 5 クワドレットがソースパケットヘッダ (S P H) で、第 6 クワドレット以降がデータ領域である。そして、最後のクワドレットがデータ CRC (Data-CRC) である。

【0013】 1394 ヘッダは、データ長を表す data-length、このパケット転送されるチャネルの番号 (0 ~ 63 のいずれか) を示す channel、処理のコードを表す code、および各アプリケーションで規定される同期コード sync により構成されている。ヘッダ CRC は、パケットヘッダの誤り検出符号である。

【0014】CIPヘッダ1は、送信ノード番号のためのSID(Source node ID)領域、データブロックの長さのためのDBS(Data Block Size)領域、パケット化におけるデータの分割数のためのFNN(Fraction Number)領域、パディングデータのクワドレット数のためのQPC(Quadlet Padding Count)領域、ソースパケットヘッダの有無を表すフラグのためのSPH領域、アイソクロナスパケットの数を検出するカウンタのためのDBC(Data Block Continuity Counter)領域により構成されている。なお、DBS領域は、1アイソクロナスパケットで転送するクワドレット数を表す。

【0015】CIPヘッダ2は、転送されるデータの種類を表す信号フォーマットのためのFMT領域、および信号フォーマットに対応して利用されるFDFF(Format Dependent Field)領域により構成されている。

【0016】SPHヘッダは、トランSPORTストリームパケットが到着した軸に固定の遅延値を加えた値が設定されるタイムスタンプ領域を有している。また、データCRCは、データフィールドの誤り検出符号である。

【0017】上述した構成を有するパケットの送受信を行うIEEE1394シリアルインタフェースの信号処理回路は、主としてIEEE1394シリアルバスを直接ドライブするフィジカル・レイヤ回路と、フィジカル・レイヤのデータ転送をコントロールするリンク・レイヤ回路とにより構成される。

【0018】

【発明が解決しようとする課題】IEEE1394シリアルインタフェースのデータ転送では、送信データおよび受信データは一旦リンク・レイヤ回路に設けられた FIFO(First-In First-Out)メモリ(以下、単にFIFOという)等の記憶装置(RAM)に格納される。実際には、アシンクロナスパケット用FIFOとアイソクロナスパケット用FIFOとは別個に設けられる。

【0019】ところで、上述したIEEE1394シリアルインタフェースの信号処理回路において、図9に示すように、一般的なアシンクロナス通信系1では、アシンクロナスパケット用FIFO2は、送信用FIFO2aと受信用FIFO2bとの独立した専用RAMにより構成されている。この構成を採用した場合、送信および受信のそれぞれに、独立した周辺回路(アドレス、データおよび書き込み/読み出し制御)の構成を採ればよく、送受信の相互関係を考慮せずにRAMへのアクセス制御を行うことができる。したがって、回路設計上では、比較的簡単に実現可能である。

【0020】しかし、一つのLSI上でこれを構築する、RAMの数が多いことは、チップ面積の増大、レイアウト設計への負担増といったマイナス面もある。また、独立のFIFOを2つ持つということは、送信および受信それぞれにFIFO容量が固定サイズであるので、ある状況下、たとえばバスリセット時に各ノード

(装置)から送られてくるセルフIDパケットを受信する際等に、受信用FIFOの容量を増やしたいといったケースには対応不可能である。

【0021】本発明は、かかる事情に鑑みてなされたものであり、その目的は、回路規模、の増加を抑制でき、また、送受信用記憶装置のサイズの容量比を任意に変更することができる信号処理回路を提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するため、本発明は、シリアルインタフェースバスとのデータの送信または受信を一旦記憶手段に格納して行う信号処理回路であって、上記記憶手段は1つの記憶領域を持つ記憶装置からなり、所定の領域で、送信データ格納領域と受信データ格納領域とに分けられている。

【0023】また、本発明では、上記送信データ格納領域と受信データ格納領域との容量比を特定状況に応じて変更する手段を有する。

【0024】そして、上記特定状況は、シリアルインタフェースバスを伝送された各ノードの情報からなるセルフIDパケットを受信するバスリセット時であり、上記変更する手段は、上記受信データ格納領域が送信データ格納領域より大きくなるように容量比を設定する。

【0025】また、本発明では、シリアルインタフェースバスとで送受信されるデータはアシンクロナスパケットである。

【0026】本発明の信号処理回路によれば、記憶手段が1つの記憶領域を持つ記憶装置により構成され、所定の領域で、送信データ格納領域と受信データ格納領域とに分けられていることから、搭載するLSIのチップ面積の増加が抑制される。また、本発明では、送信データ格納領域と受信データ格納領域との容量比が特定状況に応じて変更される。

【0027】

【発明の実施の形態】

#### 第1実施形態

図1は、IEEE1394シリアルインタフェースに適用される本発明に係るMPEG用信号処理回路の一実施形態を示すブロック構成図である。

【0028】この信号処理回路は、リンク・レイヤ回路10、フィジカル・レイヤ回路20、ホストコンピュータとしてのCPU30により構成されている。また、40はMPEGトランスポーティングを示している。

【0029】リンク・レイヤ回路10は、CPU30の制御の下、アシンクロナス転送およびアイソクロナス転送の制御、並びにフィジカル・レイヤ回路20の制御を行う。具体的には、図1に示すように、リンクコア(Link Core)101、ホストインターフェース回路(Host I/F)102、アプリケーションインターフェース回路(AP I/F)103、送信用FIFO(AT-FIFO)104a、受信用FIFO(AR-FIFO)104bからなるアシンクロナス

ス通信用 FIFO、セルフ ID 用リゾルバ(Resolver) 105、アイソクロナス通信用送信前処理回路(TXOPRE) 106、アイソクロナス通信用送信後処理回路(TXIPRO) 107、アイソクロナス通信用受信前処理回路(TXIOPRE) 108、アイソクロナス通信用受信前処理回路(TXIIPRO) 109、アイソクロナス通信用 FIFO(I-FIFO) 110、およびコンフィギュレーションレジスタ(Configuration Register、以下 CFR という) 111により構成されている。

【0030】図 1 の回路において、ホストインターフェース回路 102、送信用 FIFO 104a、アシンクロナス通信の受信用 FIFO 104b およびリンクコア 101 によりアシンクロナス通信系回路が構成される。そして、アプリケーションインターフェース回路 103、送信前処理回路 106、送信後処理回路 107、受信前処理回路 108、受信前処理回路 109、FIFO 110 およびリンクコア 101 によりアイソクロナス通信系回路が構成される。

【0031】リンクコア 101 は、アシンクロナス通信用パケットおよびアイソクロナス通信用パケットの送信回路、受信回路、これらパケットの IEEE 1394シリアルバス BS を直接ドライブするフィジカル・レイヤ回路 20 とのインターフェース回路、125μs 毎にリセットされるサイクルタイマ、サイクルモニタや CRC 回路から構成されている。そして、たとえばサイクルタイマ等の時間データ等は CFR 111 を通してアイソクロナス通信系処理回路に供給される。また、バスリセット時には、IEEE 1394シリアルバス BS を伝送されてくるセルフ ID パケットを受信時間を監視し、セルフ ID フェーズであるか否かを判断し、リゾルバ 105 に報知する。

【0032】ホストインターフェース回路 102 は、主としてホストコンピュータとしての CPU 30 と送信用 FIFO 104a、受信用 FIFO 104b とのアシンクロナス通信用パケットの書き込み、読み出し等の調停、並びに、CPU 30 と CFR 111 との各種データの送受信の調停を行う。たとえば CPU 30 からは、アイソクロナス通信用パケットの SPH (ソースパケットヘッダ) に設定されるタイムスタンプ用遅延時間 Txdelay がホストインターフェース 102 を通して CFR 111 にセットされる。

【0033】アシンクロナス通信用 FIFO 104 は、1 つの RAM からなり、送信用 FIFO 104a と受信用 FIFO 104b との 2 つの領域に区分けされる。そして、送信用 FIFO 104a と受信用 FIFO 104b との容量比は CPU 30 により制御される。たとえば通常のアシンクロナス通信時には送信用 FIFO 104a と受信用 FIFO 104b との容量比は 1 : 1 となるように CPU 30 により制御され、たとえばバスリセット時には各ノード (装置) から送られてくる最大 63 個

のセルフ ID パケットを受信する必要性が生じる場合があることから、送信用 FIFO 104a と受信用 FIFO 104b との容量比は 3 : 7 となるように CPU 30 により制御される。なお、送信用 FIFO 104a には、IEEE 1394シリアルバス BS に伝送させるアシンクロナス通信用パケットが格納され、受信用 FIFO 104b には IEEE 1394シリアルバス BS を伝送されてきたアシンクロナス通信用パケットやセルフ ID パケットが格納される。また、CPU 30 からの FIFO 104a の書き込み、FIFO 104b からの読み出しのためのアクセスは同時に不可能である。さらに、送信用 FIFO 104a と受信用 FIFO 104b のアドレス領域は独立していなくてはならないことから、送受信別に有している。

【0034】アプリケーションインターフェース回路 103 は、MPEG トランスポータ 40 とアイソクロナス通信用送信前処理回路 106 およびアイソクロナス通信用受信前処理回路 109 とのクロック信号や制御信号等を含む MPEG トランスポートストリームデータの送受信の調停を行う。

【0035】解析手段としてのリゾルバ (Resolver) 105 は、バスリセット時に、リンクコア 101 を介して IEEE 1394シリアルバス BS を伝送されてきた第 1 番目のセルフ ID パケットを受けてそのギャップカウント値 gap-cnt1 を検出し、次から受信したセルフ ID パケット毎のギャップカウント値 gap-cntN を検出して、第 1 番ギャップカウント値 gap-cnt1 と比較して、比較の結果、たとえば等しい場合にはハイレベルの信号 S 105 で CFR 111 にセットし、等しくない場合にはローレベルの信号 S 105 で CFR 111 にセットする。この情報はホストインターフェース回路 102 を介して CPU 30 に報知される。そして、CPU 30 は、ギャップカウント値が異なる情報を得たときには、たとえば新しいノード (装置) が接続されたものとしてバスリセットをかける。また、検出したギャップカウント値も CFR 111 を介して CPU 30 に報知される。また、リゾルバ 105 は、必要に応じて受信したセルフ ID パケットを受信用 FIFO 104b に格納する。なお、前述したように、IEEE 1394シリアルバス BS において、バスリセットが発生した後、そのバスに何台のノードが接続されているかは、受信したセルフ ID パケットを解析することで分かるが、本実施形態のように、ギャップカウント値を比較するようにしたのは、一つのシリアルバスにおいて、接続している各ノードがバスを正しく使用するためには、各ノードのギャップカウント値が等しくある必要があるからである。

【0036】図 2 は、IEEE 1394シリアルインターフェースにおけるセルフ ID パケットのフォーマット例を示す図である。図 2 に示すように、セルフ ID パケットは、フィジカル-ID (physical-ID) 領域、L (link

active)領域、ギャップーカウント(gap-count)領域、フィジカルスピード(phy-speed)領域、フィジカルディレイ(phy-delay)領域等により構成されている。

【0037】送信前処理回路106、アプリケーションインターフェース回路103を介してMPEGトランスポータ40によるMPEGトランSPORTストリームデータを受けて、IEEE1394規格のアイソクロナス通信用としてクワドレット(4バイト)単位にデータ長を調整し、かつ4バイトのソースパケットヘッダ(SPH)を付加し、 FIFO110に格納する。

【0038】ソースパケットヘッダを付加するときに受信側のデータ出力時間を決定するタイムスタンプを設定するが、この設定は以下のように行われる。まず、MPEGトランスポータ40からパケットの最終データを受け取ったタイミングで内部のサイクルレジスタの値をラッチする。次に、CPU30からホストインターフェース102を介してCFR111にセットされた遅延時間Tx delayを上記サイクルレジスタの値に加算する。そして、加算した値をタイムスタンプとして、受け取ったパケットのソースパケットヘッダに挿入(設定)する。

【0039】図3は、ソースパケットヘッダにおけるタイムスタンプの具体的な構成を説明するための図である。図3に示すように、受信側のデータ出力時間を決定するためのタイムスタンプは、25ビットで現時刻を表す。すなわち、タイムスタンプは25ビットで構成され、下位12ビットがサイクルオフセットCO(cycle-offset)領域、上位13ビットがサイクルカウントCC(cycle-count)領域として割り当てられている。サイクルオフセットは0~3071(12b 101111111111)の125μsをカウントし(クロックCLK=24.576MHz)、サイクルカウントは0~7999(13b 1111100111111)の1秒をカウントするものである。したがって、原則として、タイムスタンプの下位12ビットは3072以上を示すことはなく、上位13ビットは8000以上を示すことはない。

【0040】送信後処理回路107は、FIFO110に格納されたソースパケットヘッダを含むデータに対して図8に示すように、1394ヘッダ、CIPヘッダ1,2を附加してリンクコア101の送信回路に出力する。

【0041】受信前処理回路108は、リンクコア101を介してIEEE1394シリアルバスBSを、たとえば分割されて伝送されてきたアイソクロナス通信用パケットを受けて、受信パケットの1394ヘッダ、CIPヘッダ1,2等の内容を解析し、データを復元してソースパケットヘッダとデータをFIFO110に格納する。

【0042】受信後処理回路109は、FIFO110

に格納されたソースパケットヘッダのタイムスタンプの時間データを読み出し、読み出したタイムスタンプデータ(TS)とリンクコア101内にあるサイクルタイムによるサイクルタイム(CT)を比較し、サイクルタイムCTがタイムスタンプデータTSより大きい場合には、FIFO110に格納されているソースパケットヘッダを除くデータをアプリケーションインターフェース回路103を介し、MPEG用トランSPORTストリームデータとしてMPEGトランスポータ40に出力する。

【0043】次に、バスリセット時にIEEE1394シリアルバスBSを伝送されてきたセルフIDパケットの解析動作について、図4のフローチャートに関連付けて説明する。

【0044】バスリセットがかかると、各ノードのフィジカル・レイヤ回路20からセルフIDパケットがIEEE1394シリアルバスBSに伝送される。このとき、リンク・レイヤ回路10のシンクロナス通信用 FIFO104の送信用 FIFO104aと受信用 FIFO104bとの容量比は3:7となるようにCPU30により制御される。

【0045】そして、IEEE1394シリアルバスBSを伝送されてきたセルフIDパケットは、あるノードの信号処理回路のフィジカル・レイヤ回路20で受信され、リンクコア101を介してリゾルバ105に入力される(S1)。なお、リンクコア101では、IEEE1394シリアルバスBSを伝送されてくるセルフIDパケットの受信時間が監視されて、セルフIDフェーズであるか否かが判断され、リゾルバ105に報知される(S3)。

【0046】リゾルバ105では、バスリセット時に、リンクコア101を介してIEEE1394シリアルバスBSを伝送されてきた第1番目のセルフIDパケットを受けてそのギャップカウント値gap-cnt1が検出され(S2)、その値が保持される。そして、ステップS3でセルフIDフェーズが終了していないと判断された場合には、次に受信したセルフIDパケット毎のギャップカウント値gap-cnt1が検出される(S4, S5)。そして、ステップS1において検出した第1番ギャップカウント値gap-cnt1とステップS4で検出したギャップカウント値gap-cnt1が比較される(S5)。ステップS5の比較の結果、等しい場合にはローレベルの信号S105がCFR111にセットされる(S7)。そして、ステップS3の動作に戻り、以上の動作がステップS3でセルフIDフェーズが終了したと判断されるまで行われる。

【0047】一方、ステップS6の比較の結果、第1番ギャップカウント値gap-cnt1とステップS4で検出したギャップカウント値gap-cnt1が等しくない場合には、ハイレベルの信号S105がCFR111にセットされる(S8)。この情報はホストインターフェース回路102

を介して C P U 3 0 に報知される。そして、C P U 3 0 は、ギャップカウント値が異なる情報を得たことにより、たとえば新しいノード（装置）が接続されたものとしてバスリセットをかける。

【0048】また、上述した解析動作を行うリゾルバ 1 0 5 により、必要に応じて受信したセルフ I D パケットが F I F O 1 0 4 b に順次格納される。そして、C P U 3 0 により F I F O 1 0 4 b に格納されセルフ I D パケットに基づいてシステムの解析等が行われる。

【0049】また、セルフ I D フェーズが終了した場合には、C P U 3 0 により送信用 F I F O 1 0 4 a と受信用 F I F O 1 0 4 b との容量比は 1 : 1 となるように制御され、以降、通常のアシンクロナス通信時が行われ、送信用 F I F O 1 0 4 a には I E E E 1 3 9 4 シリアルバス B S に伝送させるアシンクロナス通信用パケットが格納され、受信用 F I F O 1 0 4 b には I E E E 1 3 9 4 シリアルバス B S を伝送されてきたアシンクロナス通信用パケットが格納される。

【0050】以上説明したように、本実施形態によれば、アシンクロナス通信用 F I F O 1 0 4 を、1 つ目の R A M から構成して、送信用 F I F O 1 0 4 a と受信用 F I F O 1 0 4 b との 2 つの領域に区分けし、送信用 F I F O 1 0 4 a と受信用 F I F O 1 0 4 b との容量比を C P U 3 0 により、たとえば通常のアシンクロナス通信時には送信用 F I F O 1 0 4 a と受信用 F I F O 1 0 4 b との容量比が 1 : 1 となるように制御し、特定動作時、たとえばバスリセット時には送信用 F I F O 1 0 4 a と受信用 F I F O 1 0 4 b との容量比が 3 : 7 となるよう制御するようにしたので、搭載する L S I のチップ面積の増加を抑制することができ、また必要に応じて送受信の F I F O のサイズの容量比を変更することができる機能は、特定状況で送信あるいは受信用 F I F O の領域を多くとりたいときなどに有効である。

【0051】なお、本実施形態では、F I F O 1 0 4 の送信用と受信用の記憶領域の境界を C P U 3 0 から設定変更できるようにしたが、たとえば直接外部ピンから制御する構成、あるいは内部レジスタの設定による構成等、種々の態様が可能であることはいうまでもない。

【0052】また、本実施形態では、バスリセット時に、リンクコア 1 0 1 を介して I E E E 1 3 9 4 シリアルバス B S を伝送されてきた第 1 番目のセルフ I D パケットを受けてそのギャップカウント値 gap-cnt1 を検出し、次から受信したセルフ I D パケット毎のギャップカウント値 gap-cnt1 を検出して、第 1 番ギャップカウント値 gap-cnt1 と比較して、比較の結果、たとえば等しい場合にはハイレベルの信号 S 1 0 5 で C F R 1 1 1 にセットし、等しくない場合にはローレベルの信号 S 1 0 5 で C F R 1 1 1 にセットするリゾルバ (Resolver) 1 0 5 を設け、C P U 3 0 は、ギャップカウント値が異なる情

報を得たときには、たとえば新しいノード（装置）が接続されたものとしてバスリセットをかけ、また、検出したギャップカウント値も C F R 1 1 1 を介して C P U 3 0 に報知するようにしたので、回路規模、コストの低減を図れ、制御系の負荷を軽減できる利点がある。また、シリアルバスの初期化後の異常状態の検出を高速に行うことができる。

【0053】

【発明の効果】以上説明したように、本発明によれば、回路規模、の増加を抑制でき、また、送受信用記憶装置のサイズの容量比を任意に変更することができる。

【図面の簡単な説明】

【図 1】 I E E E 1 3 9 4 シリアルインタフェースに適用される本発明に係る M P E G 用信号処理回路の一実施形態を示すブロック構成図である。

【図 2】セルフ I D パケットのフォーマット例を示す図である。

【図 3】タイムスタンプの具体的な構成を説明するための図である。

【図 4】バスリセット時の動作を説明するためのフローチャートである。

【図 5】アイソクロナス通信における 1 ソースパケットのバイトサイズを示す図であって、(A) は D V B 仕様時、(B) は D S S 仕様時のパケットサイズを示す図である。

【図 6】 I E E E 1 3 9 4 規格のアイソクロナス通信でデータを送信させるときの元のデータと、実際に送信されるパケットとの対応関係の一例を示す図である。

【図 7】ソースパケットヘッダのフォーマットを示す図である。

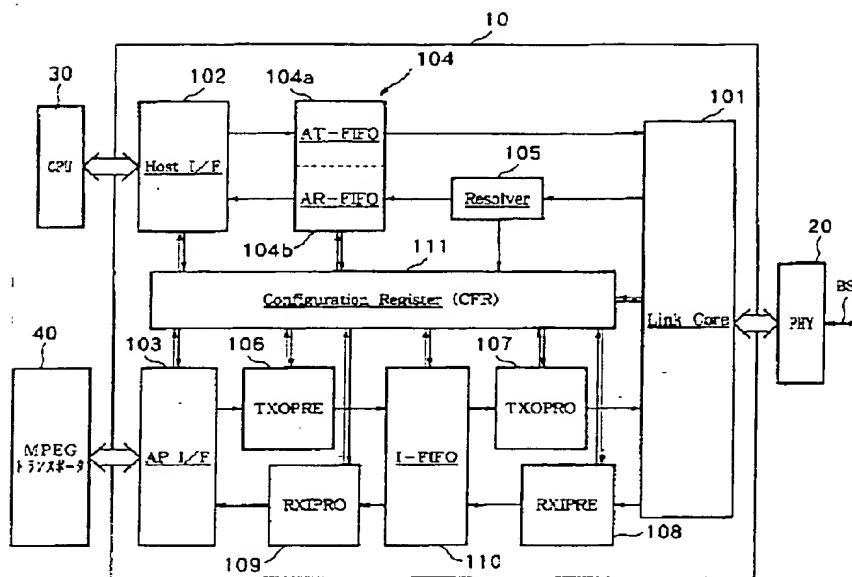
【図 8】アイソクロナス通信用パケットの基本構成例を示す図である。

【図 9】一般的なアシンクナス通信用 F I F O の構成例を説明するための図である。

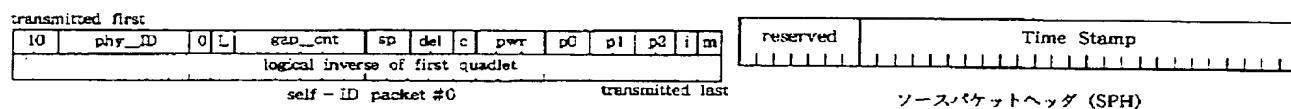
【符号の説明】

1 0 …リンク・レイヤ回路、1 0 1 …リンクコア (Link Core)、1 0 2 …ホストインターフェース回路 (Host I / F)、1 0 3 2 …アプリケーションインターフェース回路 (AP I / F)、1 0 4 …アシンクロナス通信用 F I F O 、40 送信用 F I F O (AT-FIFO)、1 0 4 b …受信用 F I F O (AR-FIFO)、1 0 5 …セルフ I D 用リゾルバ (Resolve r)、1 0 6 …アイソクロナス通信用送信前処理回路 (T X 0 u t l)、1 0 7 …アイソクロナス通信用送信後処理回路 (T X 0 u t 2)、1 0 8 …アイソクロナス通信用受信前処理回路 (T X 1 n l)、1 0 9 …アイソクロナス通信用受信前処理回路 (T X 1 n 2)、1 1 0 …アイソクロナス通信用 F I F O (I -FIFO)、1 1 1 …コンフィギュレーションレジスタ (C F R)、2 0 …フィジカル・レイヤ回路、3 0 …C P U 、M P E G トランスポータ。

【図 1】

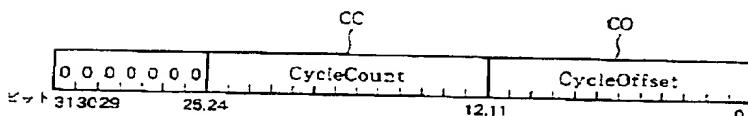


【図 2】

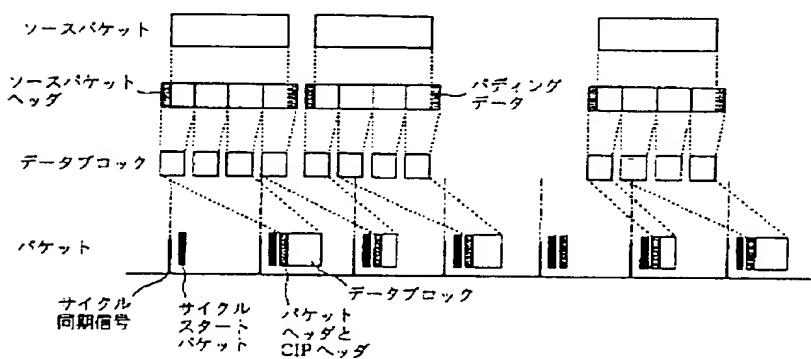


【図 7】

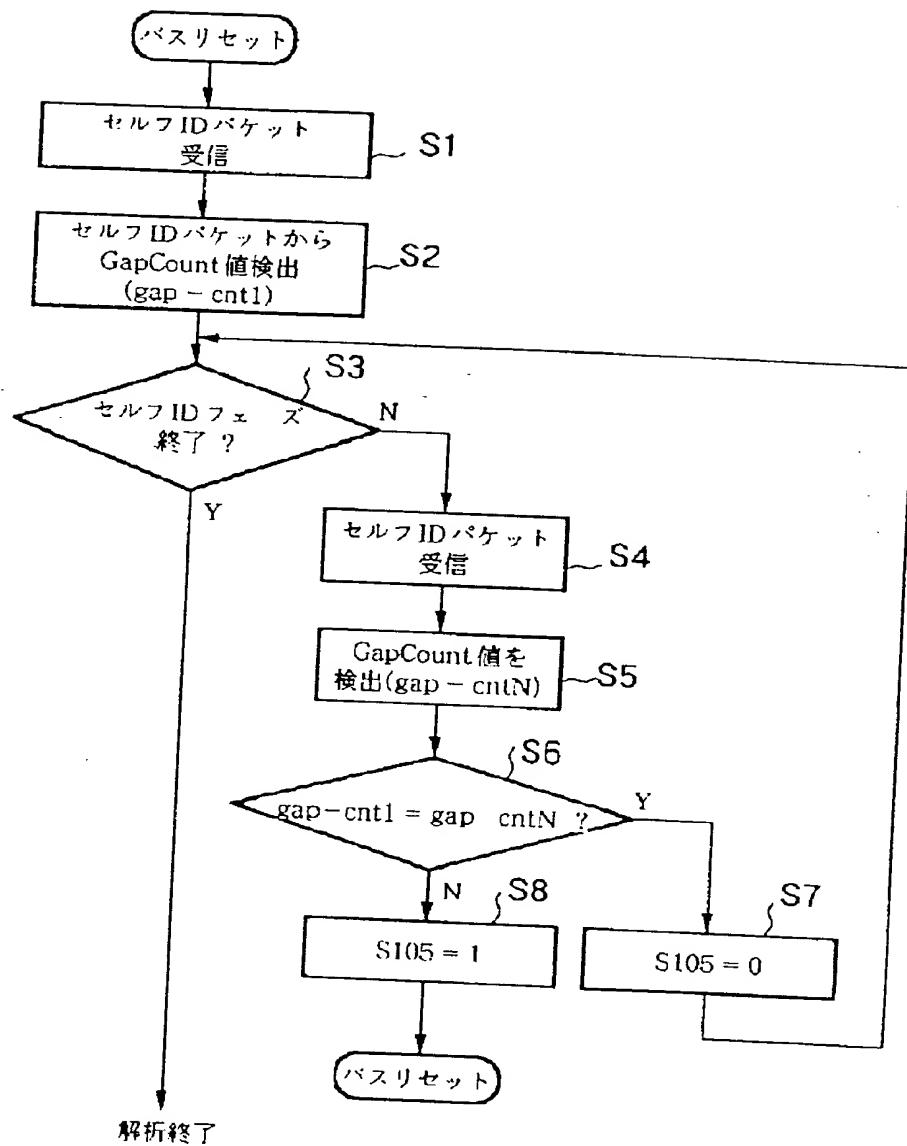
【図 3】



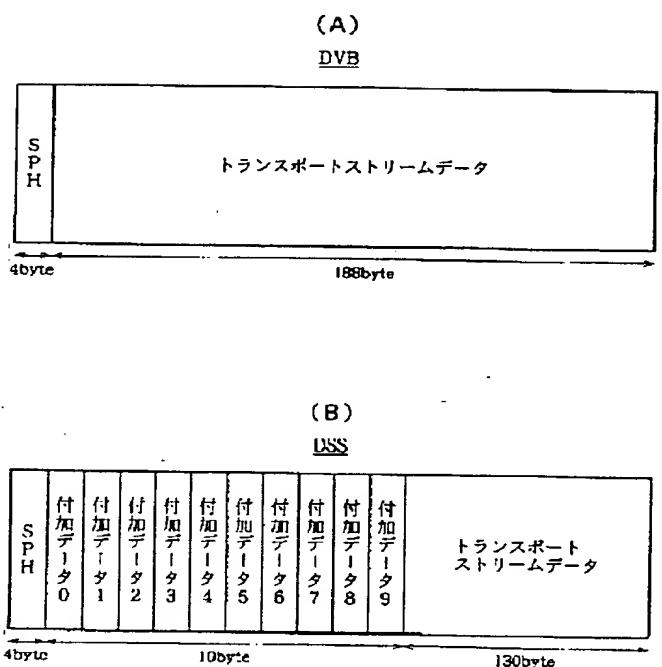
【図 6】



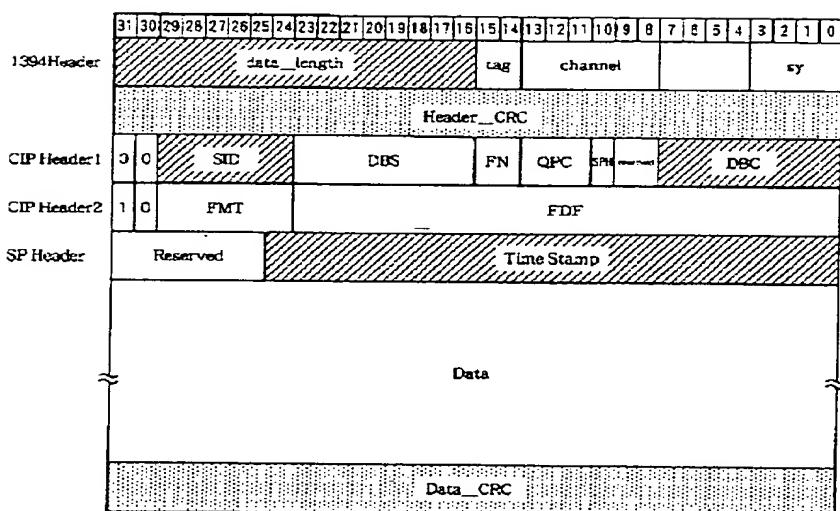
【図 4】



【図 5】



【図 8】



[ 図 9 ]

